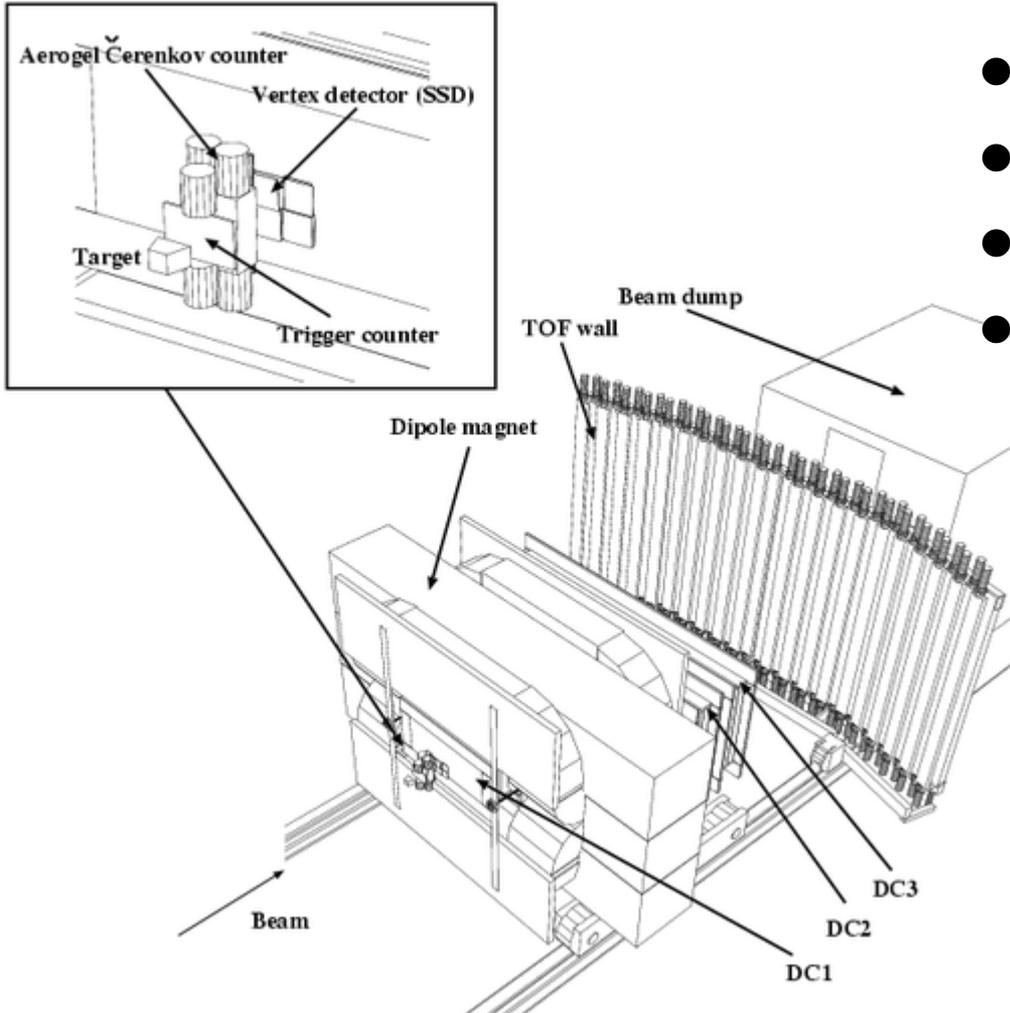


LEPS実験でのDAQ回路開発

味村周平(阪大RCNP)

- ◆ LEPS, LEPS2実験
- ◆ 回路開発の現状
- ◆ 今後の方針

LEPS実験



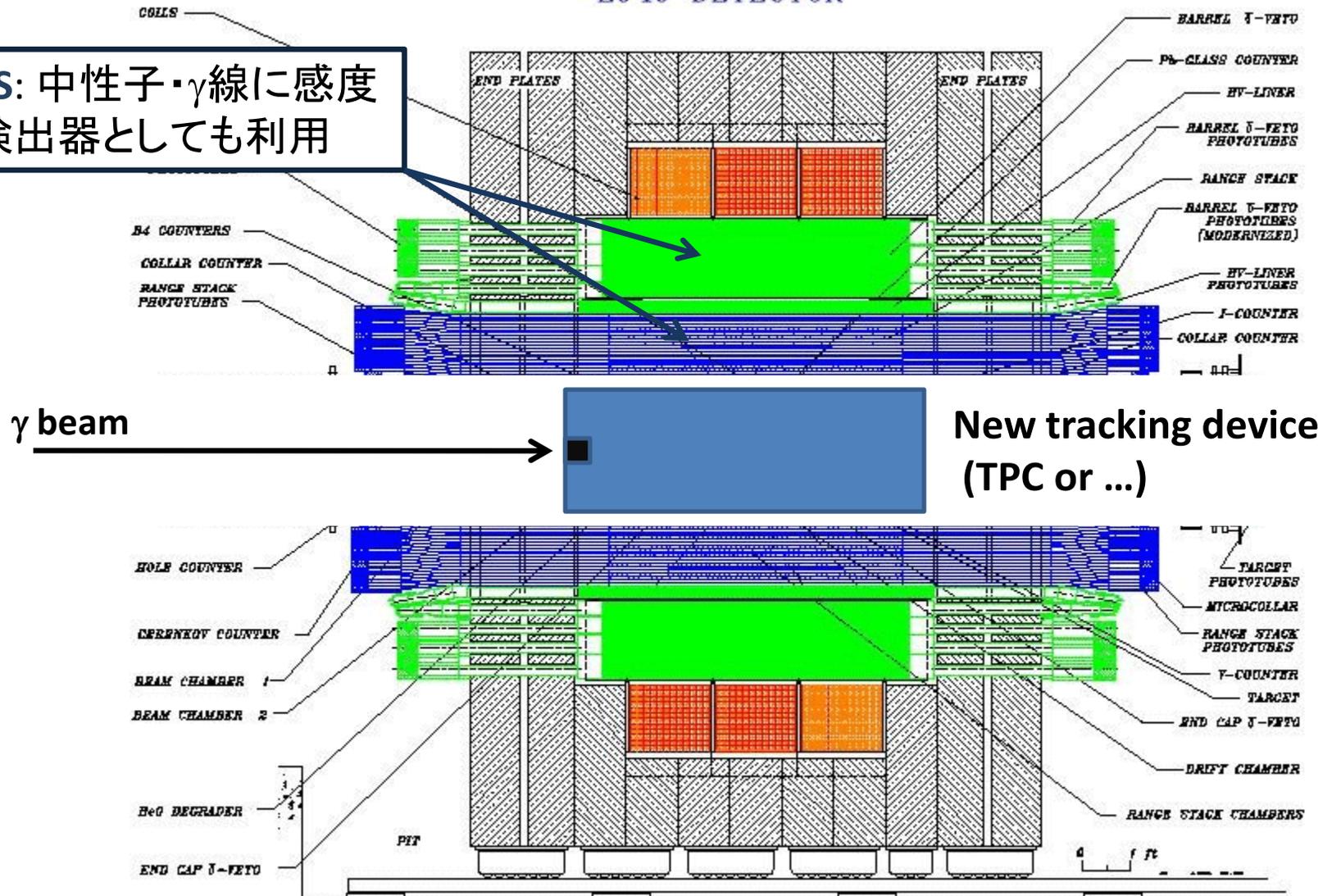
- 偏極 γ 線によるハドロンスペクトロスコピー
- 生成断面積、スピン観測の測定
- 前方にアクセプタンス
- 後方アクセプタンスのためTPC設置



LEPS2実験計画

E949 DETECTOR

BV, RS: 中性子・ γ 線に感度
TOF検出器としても利用



BNL AGS-E949検出器を基礎に中心部分を実験にあわせた検出器を設置

LEPS2開発項目

以下の検出器および読み出し回路系

- 主トラックー(TPC検出器)
 - GEMによるTPCを開発中
 - それに合わせたAMP+FADCの開発中
- Vertex検出器系(SSD検出器)
 - Belle開発されたモジュール・読み出し回路を最大限利用する
- 粒子識別器(TOP検出器)
 - TOPにするかどうかを含め検討中

現在のTPC読み出し系

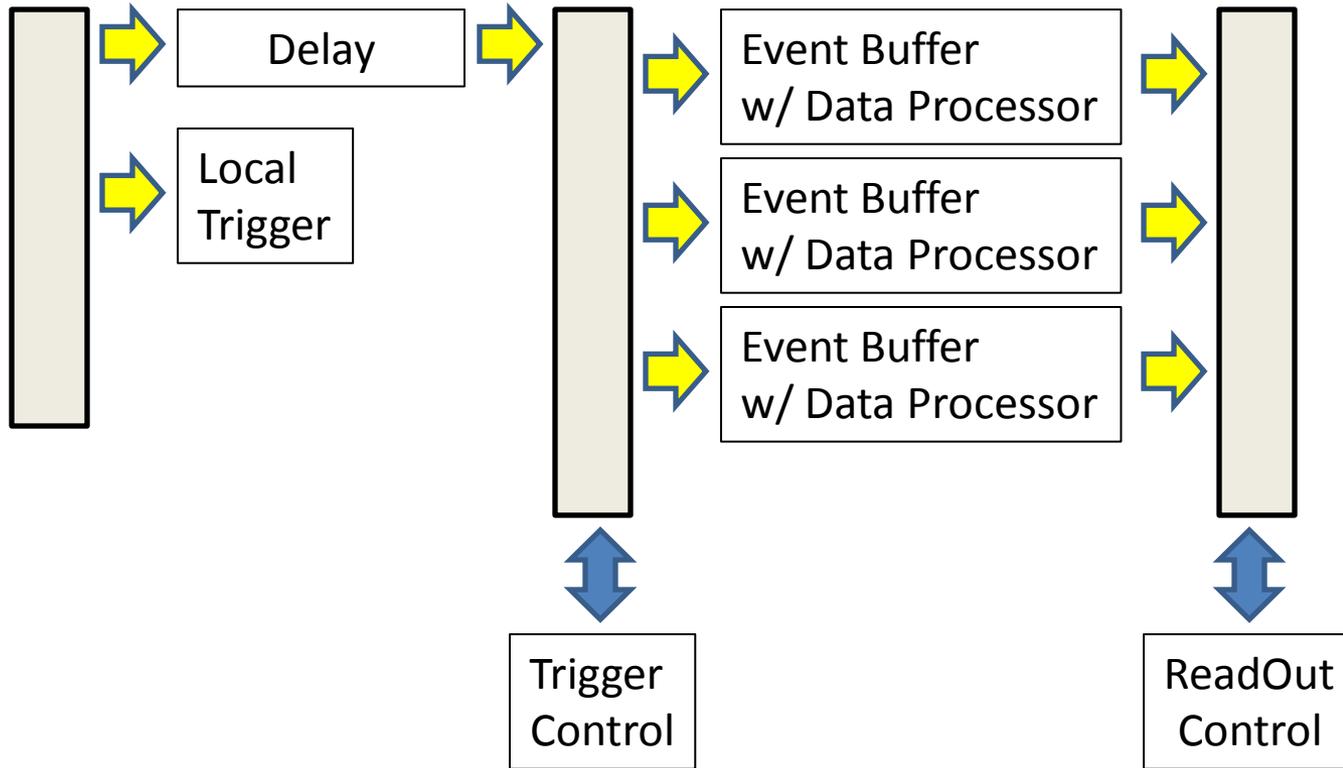
- preAMP, shaper AMP, FADCの3つの回路で構成
- 問題点1 : preAMP, shaper AMP起因のノイズ
- 問題点2 : VMEバスを通じたFADCのデータ読み出しのため、転送速度が遅い
- 更にLEPS2に向け高計数率、多チャンネル化に対応する必要がある
- 開発項目は
 - preAMP-shaperAMP回路(試作ボードにより調査中)
 - FADC回路

Finesse 500MHz FADC

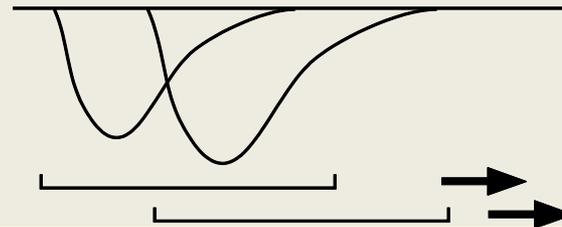
- Finesse + ATCAシステムを非加速器実験($\beta\beta$)で開発・使用中
- 実験の要求により、さまざまな機能をFPGAで実現



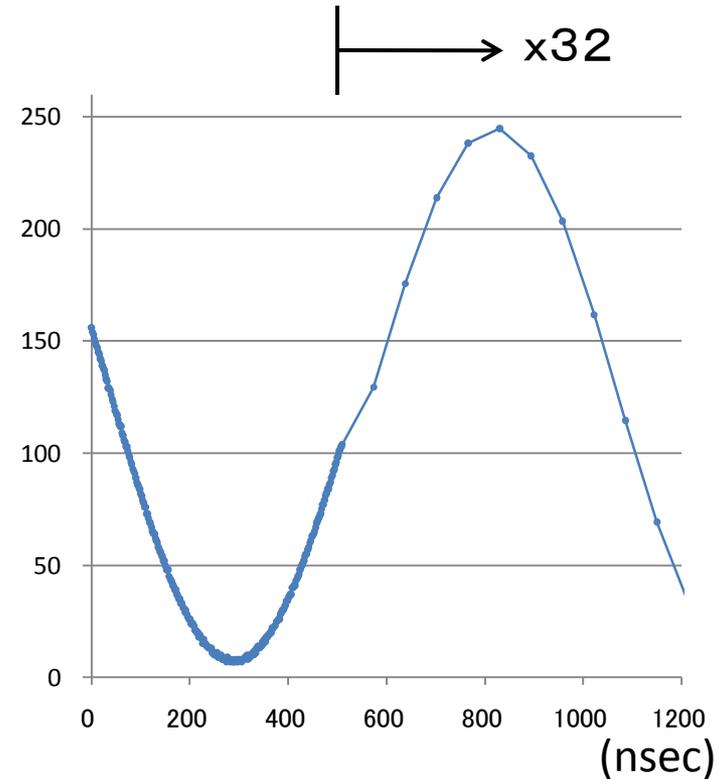
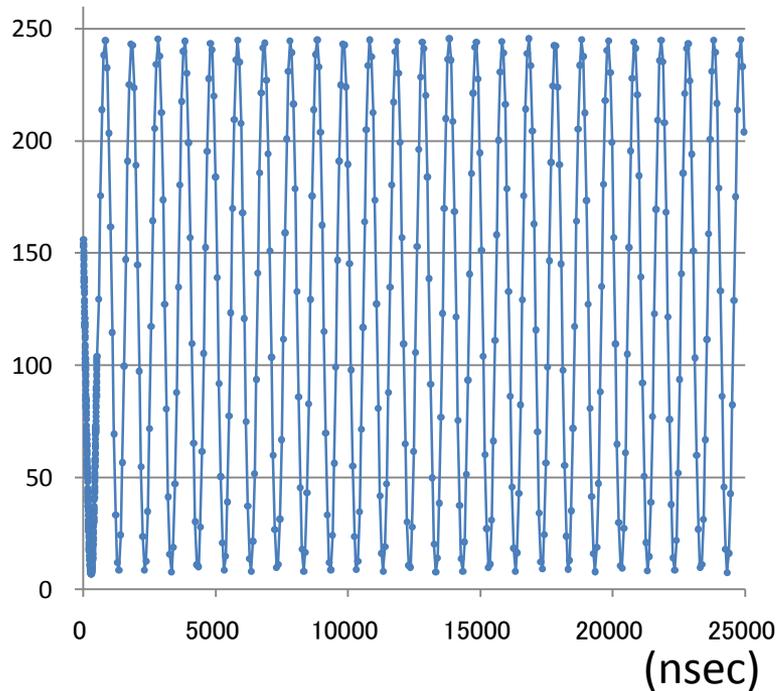
Finesse 500MHz FADC



バッファだけでなくデータ処理も並列にすることで、重なった事象もすてることなく読み出す。

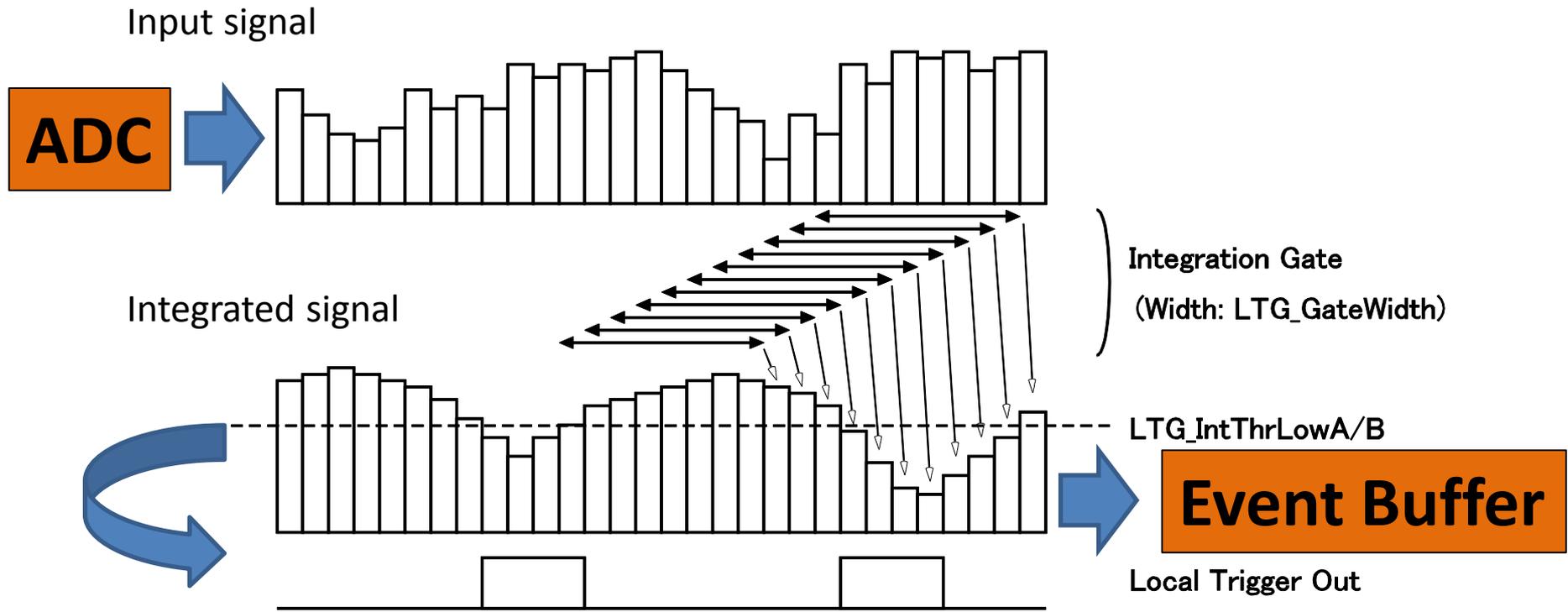


可変サンプリング周期



一定時間後のデータは複数足し合わせて時間的に荒いサンプリングとして読み出し

逐次積分

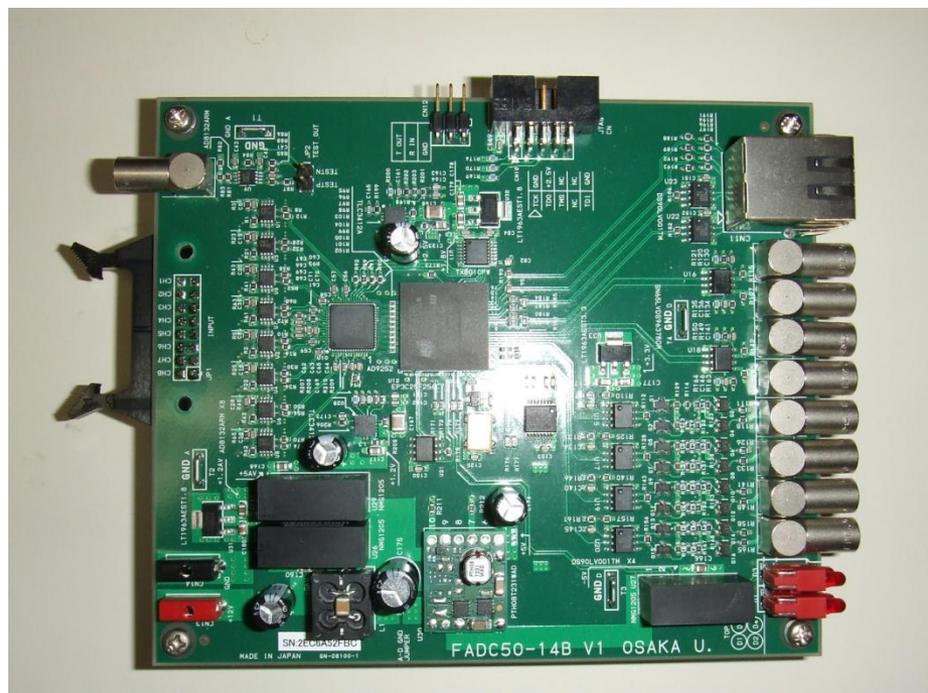


Filter AMP +
Discriminatorをemulate

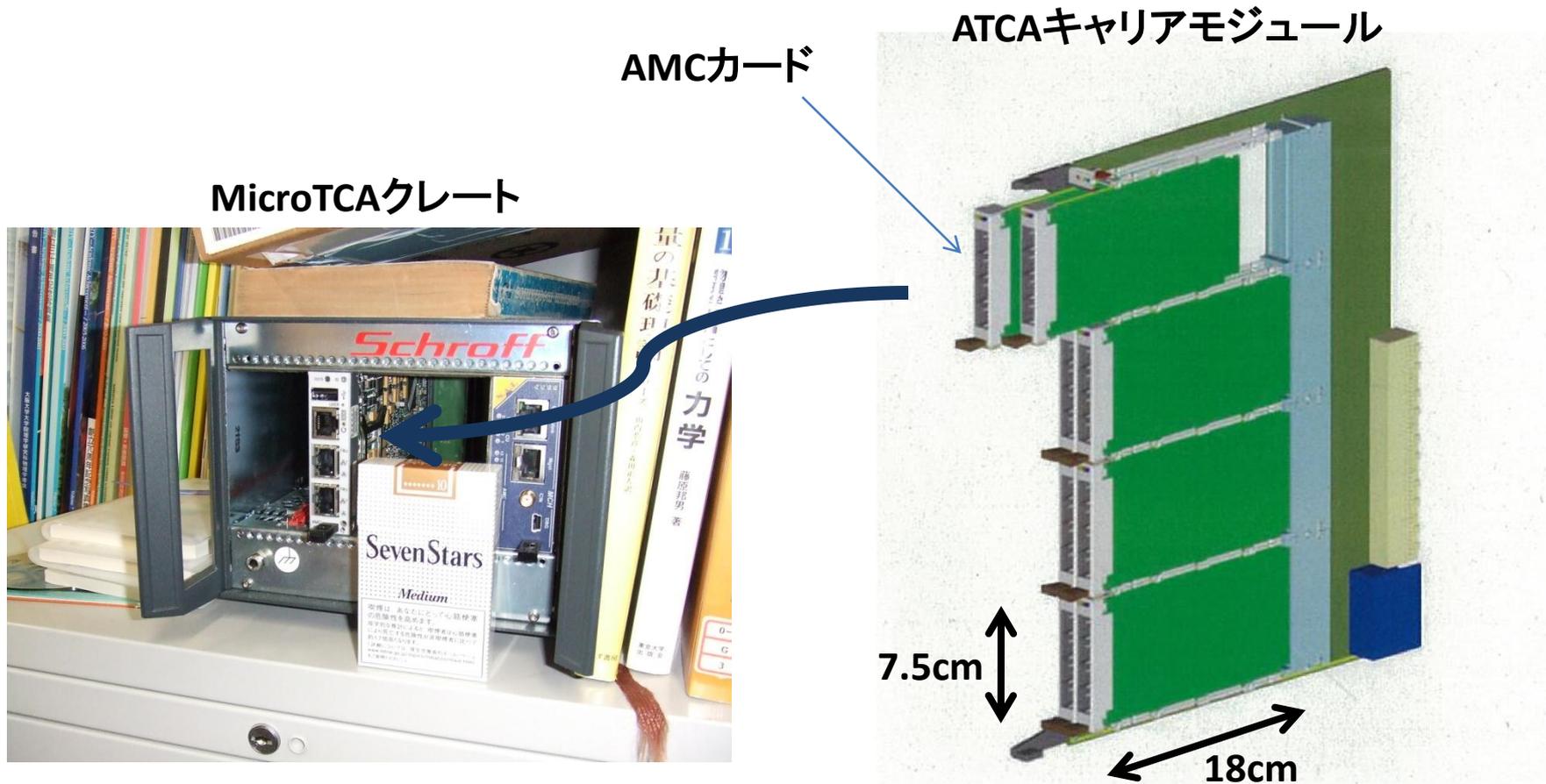
電荷積分ADCの
パイプライン読み出し

LEPS TPC用FADC

- FADCモジュール内データ処理方法に関して十分な経験を積んできた。
- LEPS TPCのためには更にデータ圧縮など開発が必要(無駄にデータを大きくしたくない)
 - Zero suppression
 - peak finding, ...
- 既にTPC用FADCの試作回路は製作済
 - ✓ 40MHz-14bit (8ch)



ATCA, MicroTCA



AMCカード規格で回路開発し、回路試験や小規模実験ではMicroTCA、中規模実験ではATCAを利用可能にする。

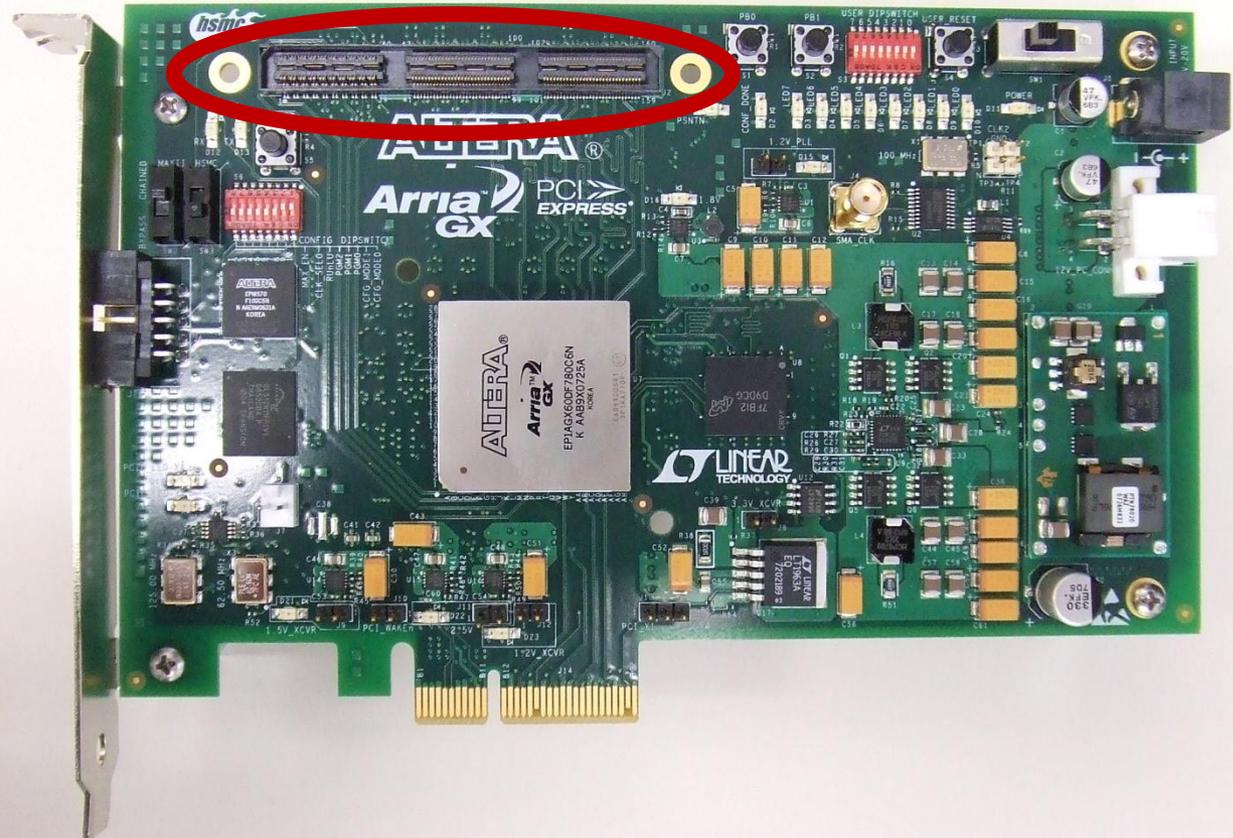
AMC(MicroTCA, ATCA)で大丈夫？

- 新しく500MHz FADCを設計・製作を行っている
 - Finesse FADCは250MHzを2つ使って500MHzを実現
 - チップ間の違いを校正する必要あり
 - アナログ入力部にも問題あり
- AMC規格に合わせる予定
- 回路設計、部品選択は既に終了
- 年度内には実験に導入可能にする予定

▪ Altera PCI-Express Evaluation Board

~ For the higher data rate ~

SpaceWire or other protocol
to FrontEnd (8port)



平成21～22年度の方針

- 当面、ATCA, MicroTCAをベースに実験に最適化した回路開発を続ける。対象は非加速実験。
- その経験、結果からLEPS用回路の規格(AMC, Finesse, ...)を決定する。
- 引き続きpreAMP, shaper-AMPの開発を進める。
- AMP部とのすりあわせの後、来年度出来るだけ早くFADC回路の製作にとりかかる。
- 既存のTPCの読み出し系を一部新しい物に代えて、回路の最終確認、データ圧縮法の開発などを行う。

まとめ

- 現在の回路開発を紹介
 - 500MHz/8bit FADC
 - 40MHz/14bit FADC
 - ATCA, microTCA, AMC
- LEPS, LEPS2実験のために、まずTPC読み出し回路の開発に集中する。
- 今年度行っている500MHz FADCの開発をもとに、来年度TPC用FADCの製作を行う。
- Finesse on COPPERの解は捨てたのではなく、Belle IIに向けた開発状況、コスト・性能により最適解を見つける。

- END -